

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-214907

(43)Date of publication of application : 11.08.1998

(51)Int.Cl.

H01L 21/8249

H01L 27/06

(21)Application number : 10-011471

(71)Applicant : SAMSUNG ELECTRON CO LTD

(22)Date of filing : 23.01.1998

(72)Inventor : RI JUNGAKU
ZEN SHOKI
KIN CHORUJU

(30)Priority

Priority number : 97 9701937 Priority date : 23.01.1997 Priority country : KR

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To improve driving reliability by separating DMOS, CMOS transistors by an isolation layer and a partial oxide film, forming a DMOS region and a CMOS region different in thickness and forming a polysilicon resistance element on a partial oxide film.

SOLUTION: A DMOS transistor, a CMOS transistor and a bipolar transistor are formed on a P-type substrate 10 simultaneously. Each of the transistors is separated by an element isolation layer 321 formed in an upper part of a bottom layer 31 and a thick oxide film 230 formed thereon by employing a local oxidation method. Resistor 511, 512 formed of polysilicon are formed on the thick oxidation film 230 on each isolation layer 231 and doped with a proper amount of ion according to a resistance value to be obtained. A gate oxide film 220 of a DMOS transistor is made thicker than an oxide film 221 of a CMOS transistor. As a result, withstand voltage characteristics of a DMOS which is a high withstand voltage element are improved.



LEGAL STATUS

[Date of request for examination] 24.07.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The manufacture approach of a semiconductor device including the phase which carries out patterning of said polish recon layer in order to form the gate pattern and the resistance pattern of said DMOS component and a CMOS device, respectively on the phase which forms the detached core which divides a DMOS component and a CMOS device into a substrate, the phase which forms the 1st oxide film on said substrate, the phase which form the 2nd oxide film on said detached core, the phase which vapor-deposit a polish recon layer, said 1st oxide film, and said 2nd oxide film and the phase which dope said gate pattern

[Claim 2] The phase which forms said detached core is the manufacture approach of a semiconductor device including the phase which forms the detached core which separates a bipolar component further according to claim 1.

[Claim 3] The manufacture approach of the semiconductor device according to claim 1 formed so that the thickness for part I of said 1st oxide film currently formed in said CMOS-device upper part may differ from the thickness for part II of said 1st oxide film currently formed in said DMOS component upper part.

[Claim 4] The manufacture approach of the semiconductor device according to claim 3 which includes further the phase of removing a part of 1st oxide film of the front face of said CMOS-device upper part, and the phase which forms an oxide film in the removed part.

[Claim 5] Said phase to dope is the manufacture approach of a semiconductor device including the phase which vapor-deposits the 3rd oxide film, the phase of removing said a part of 3rd oxide film of said gate pattern upper part, the phase which uses said 3rd oxide film as a mask, and dopes said gate pattern, and the phase of removing said 3rd oxide film according to claim 1.

[Claim 6] Said gate pattern is the manufacture approach of the semiconductor device according to claim 5 doped using phosphorus oxide chloride (POCl₃).

[Claim 7] The manufacture approach of the semiconductor device according to claim 1 which forms said polish recon layer by the thickness of 2000-6000Å.

[Claim 8] The semiconductor device containing the polish recon resistance element formed on the 1st oxide film which was formed in the substrate and formed on the detached core which separates a DMOS component and a CMOS device, and said detached core, and said 1st oxide film.

[Claim 9] For a bipolar component, said semiconductor device is a semiconductor device according to claim 8 separated from the DMOS component and the CMOS device through the detached core including a bipolar component further.

[Claim 10] Said DMOS component and said CMOS device are a semiconductor device according to claim 8 with which it has the 1st and 2nd gate oxide, and the 1st gate oxide of said DMOS component is formed more thickly than the 2nd gate oxide of said CMOS device, respectively.

[Claim 11] Said resistance element is a semiconductor device according to claim 8 which is not doped.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to a semiconductor device and its manufacture approach, and relates to the semiconductor device which accumulated the DMOS (Double diffused MOS) transistor, the CMOS transistor, and the bipolar transistor on one substrate, and its manufacture approach.

[0002]

[Description of the Prior Art] By forming various kinds of components in a single substrate at coincidence, a present-day technique is comparatively cheap, and is directing the main force towards obtaining a small accumulation component with high reliability. When the weight and space of the aircraft, a spacecraft, etc. be restrict to the degree of pole, it be required to cluster the function of many circuits in small space, and an accumulation component have a large advantage to decrease the propagation delay time between the response time and a circuit in informational are recording and high-speed processing. Recently, application of an integrated circuit has reached even the field of home electronics.

[0003] Drawing 14 is the sectional view showing the semiconductor device by the conventional technique.

[0004] As shown in drawing 14, the semiconductor device according to a Prior art consists of the insulating layer and wiring which were formed the field where a large number currently formed on P-mold substrate 100 were doped, and on it. And the semiconductor device is divided into three transistor fields, i.e., a bipolar field, the DMOS field, and the CMOS field.

[0005] Each transistor field has in common P-mold substrate 100 and the N type epitaxial layer 120 of 20-micrometer thickness currently formed on it, and each transistor field is separated by P+ component isolation region 170 where even P-mold substrate 100 is extended from the front face of an epitaxial layer 120.

[0006] The front face of an epitaxial layer 120 is covered with the oxide film 150 which has many contact holes.

[0007] In the bipolar transistor field, N+ flaking layer 110 is formed between the substrate 100 and the epitaxial layer 120, and N+ sink field 140 is formed even in the part from the front face of an epitaxial layer 120 to the flaking layer 110 at the perpendicular. P-mold base 122 is formed in the epitaxial layer 120 located inside the sink field 140, and the N+ emitter region 128 and P+ mold base region 127 are formed in P-mold base 122. The oxide film 150 is formed in the upper part, it is removed, the metal layer is formed and the oxide film 150 of the emitter region 128 and base region 127 upper part makes the emitter electrode E and base-electrode B.

[0008] N+ flaking layer 110 is formed in the substrate 100 upper part in the DMOS component field, the N type epitaxial layer 120 is formed in the flaking layer 110 upper part, the P type well 123 is formed in the N type epitaxial layer 120, and the N type source field 124 is formed in the interior. N+ sink field 140 is formed even in the part from epitaxial layer 120 front face to N+ flaking layer 110 at the perpendicular, and the drain electrode D is formed in the N+ sink field 140 upper part. The source electrode S is formed in the source field 124 upper part, gate oxide 161 is formed in epitaxial layer 120

front face between the source electrodes S, and the gate electrode G is formed on it.

[0009] The CMOS field is divided into the NMOS field and the PMOS field, and the N-channel MOS transistor and the P channel MOS transistor are formed in two fields, respectively. The P type well 121 is formed in the epitaxial layer 120 interior of an NMOS field, and the N type source 125 and a drain 126 are formed in the P type well 121 interior. In the PMOS field, the P type source 129 and a drain 130 are formed in the epitaxial layer 120. The source electrode S and the drain electrode D are formed in the sources 125 and 129, a drain 126, and the 130 upper part. Gate oxide 162 is formed in epitaxial layer 120 front face between the P type well front face between the source 125 of an NMOS field, and a drain 126, the source 129 of a PMOS field, and a drain 130, and the gate electrode G is formed on it. Since the gate oxide 162 of a CMOS field is formed at the same process as the gate oxide 161 of a DMOS field, the thickness of the oxide film of two fields is the same.

[0010] Since a resistance element must be separately formed in the conventional semiconductor device shown in drawing 14 , a process becomes complicated. Moreover, since the thickness of the oxide film in each transistor is the same, it is difficult to secure dependability in the drive of a transistor which has different pressure-proofing.

[0011]

[Objects of the Invention] This invention is for solving said conventional trouble, and the purpose is in offering the semiconductor device which raises the drive dependability of the semiconductor device by which the transistor for high pressure-proofing and the low-battery transistor are integrated, and its manufacture approach.

[0012] Furthermore, the purpose of this invention is by forming a semiconductor device and a resistance element together to simplify a semi-conductor production process.

[0013]

[Means for Solving the Problem] In order to attain said purpose, thickness of gate dielectric film is formed into 2 μm in this invention, and a polish recon resistance element is formed in the upper part of the partial oxidation film which separates each transistor.

[0014] In the semiconductor device by this invention which has DMOS and a CMOS transistor in one substrate, a component detached core and the partial oxidation film currently formed on it separate each transistor, it forms so that the thickness of the insulator layer of a DMOS field and the thickness of the insulator layer of a CMOS field may be differed, and a polish recon resistance element is formed on the partial oxidation film.

[0015] In order to manufacture said semiconductor device, the insulator layer which has different thickness is formed. And by carrying out patterning of the one-layer polish recon layer on an insulator layer and the partial oxidation film, and doping alternatively, it forms so that the part which used for the gate electrode the part doped by high concentration, is not doped or was doped by low concentration can be used for resistance.

[0016]

[Embodiment of the Invention] Hereafter, the desirable example of this invention is explained to a detail based on an accompanying drawing.

[0017] The manufacture approach of a semiconductor device of following the example of this invention with reference to drawing 1 thru/or drawing 13 is explained.

[0018] As shown in drawing 1 , the P type substrate 10 is divided into DMOS, CMOS, and the bipolar transistor fields D, C, and B, and the component isolation region I which separates each transistor field is between each transistor field. And a CMOS field is further divided into the PMOS transistor field P and the NMOS transistor field N.

[0019] First, the thin oxide film 200 is formed on a substrate 10, and after applying the photoresist 90 of one layer on an oxide film 200 and removing the photoresist of the DMOS field D, the PMOS field P, and the bipolar field B upper part, N type ion is poured in by 10^{15} dose/cm² concentration (refer to drawing 1). Then, a photoresist 90 is removed and diffused and N⁺ flashing layers 21, 22, and 23 are formed.

[0020] Furthermore, after applying a photoresist 91, removing the photoresist of the component isolation region I and the NMOS field N and pouring P type ion into two or more 1014 dose/cm (R> drawing 2 reference), a photoresist 91 is removed and diffused and P+ bottom fields 31 and 32 are formed.

[0021] Next, the thin oxide film 200 is removed and the N type epitaxial layer 300 is formed in 6–14 micrometers in thickness, and specific resistance 1.3 – 2.0 ohm-cm extent. The about 50–1000Å oxide film 210 is grown up on an epitaxial layer 300, and the 500–3000Å nitride 400 is vapor-deposited on it. After applying the photoresist 92 of one layer on a nitride 400, the photoresist 92, the nitride 400, and oxide film 210 of an edge of the DMOS field D are removed at a photo etching process, and an epitaxial layer 300 is exposed. And the epitaxial layer 300 interior is made to carry out the sediment of the phosphorus oxide chloride (POCl₃), and N+ mold sink field 310 is formed so that the DMOS field D may be surrounded (refer to drawing 3).

[0022] Next, the photoresist pattern 92, a nitride 400, and an oxide film 210 are removed, and an oxide film 220 is formed again.

[0023] A photoresist 93 is removed, after applying a photoresist 93 on an oxide film 220, removing the photoresist of the NMOS field N and the component isolation region I and pouring in P type ion by 1012 – 1013 dose/cm² concentration (refer to drawing 4).

[0024] After applying a photoresist 94 further, the photoresist of the PMOS field P is removed and N type ion is poured into about two 1012 – 3X1013 dose/cm (refer to drawing 5).

[0025] Next, if a photoresist 94 is removed and coincidence is made to diffuse P type ion and N type ion, the P well 322, the N well 330, and the component detached core 321 of the CMOS field C will be formed. The DMOS field D, the CMOS field C, and the bipolar transistor field B are classified by the component detached core 321 formed in this phase, respectively.

[0026] Then, a nitride (illustration abbreviation) is vapor-deposited on an oxide film 220, it leaves the oxide film 220 of the upper part of the active field A of the DMOS field D, and the sink field 310, the well 322 of the CMOS field C, the 330 upper part, and the active field upper part of the bipolar field B through photo etching, and the thick oxide films 230, 232, 231, and 233 are grown up through a selective oxidation process (LOCOS; localized oxidation of silicon). These thick oxide films 230, 232, 231, and 233 are formed in the middle epitaxial layer 300 in the epitaxial layer 300 between the active fields of the upper part of the component detached core 321, and a DMOS field and the sink fields 310 which become the boundary section of a component, respectively, the epitaxial layer 300 of the boundary section of NMOS (N) of the CMOS field C, and PMOS (P), and the bipolar field B. Then, a nitride is removed (refer to drawing 6). At this time, since the property of each component is attached by the division, the thick oxide film 232 of a DMOS field forms the thick oxide film 231 which forms for the property of high pressure-proofing and is formed between the NMOS field of the CMOS field C, and the PMOS field, and the thick oxide film 230 between each transistor field.

[0027] Then, if a photoresist is removed and an oxide film is again grown up after leaving the photoresist on the DMOS field D and the bipolar field B (illustration abbreviation) and removing the oxide film 220 of the remaining part, the thickness of the oxide film 220 of a DMOS field D front face will become thicker than the thickness of the oxide film 221 of the newly formed CMOS field C (refer to drawing 7).

Although a proof-pressure property improves so that the thickness of an oxide film is thick, the component for high pressure-proofing and the component for low pressure-proofing can be driven to coincidence by forming thickness of an oxide film into 2 μ m through such a phase. Here, since the thickness of the oxide film 220 of the bipolar field B upper part does not have the property and relation of a component, it can form at the same process as the oxide film 220 of the DMOS field D, and an oxide film can newly be formed like a CMOS field.

[0028] As shown in drawing 8 , after vapor-depositing the polish recon 500 by 2000–6000Å thickness on an oxide film 220 and 221 and forming a photoresist 95 on it, a pattern is formed by photo etching. This pattern 95 is used as a mask, the polish recon 500 is etched, between some oxide films 220 of the DMOS field D and the thick oxide films 230 and 233 of the bipolar field B is exposed, and resistance

elements 511 and 512 are formed on the thick oxide film 230 on the component detached core 321. The photoresist pattern 95 is used as a mask, P type ion is poured into the epitaxial layer 300 of a DMOS field and a bipolar field by $10^{13} - 9 \times 10^{13}$ dose/cm² concentration (refer to drawing 8), and a photoresist 95 is removed.

[0029] The base 342 of the well 341 which vapor-deposited the low-temperature-oxidation film (LTO film; low temperature oxide film) 600 with chemistry gaseous-phase vacuum deposition, and was surrounded with the thick oxide film 232 of the DMOS field D through the ionic diffusion, and the bipolar field B is formed after this process. And the well 341 of the DMOS field D and the base 342 of the bipolar field B are formed. And it leaves only the low-temperature-oxidation film 600 of the well 341 of the DMOS field D, the base 342 upper part of the bipolar field B, and the resistance pattern 511 and the 512 upper part, and the low-temperature-oxidation film 600 is removed. The sediment of the phosphorus oxide chloride (POCl₃) is carried out to the exposed polish recon layer 500, and high concentration doping is carried out with N type. Since the upper part of the resistance patterns 511 and 512 is covered by the low-temperature-oxidation film 600 at this time, it is not doped. That is, the resistance patterns 511 and 512 come to have whenever [low charge transfer] compared with the doped polish recon layer 500, and resistance becomes large (refer to drawing 9).

[0030] Next, the remaining low-temperature-oxidation film 600 is removed, and it leaves the doped polish recon 500 only in the center of each wells 322 and 330 of the part which becomes the gates 521, 522, and 523, i.e., the part from the thick oxide film 232 of the DMOS field D to the edge of the P well 341, and the CMOS field C (refer to drawing 10).

[0031] An oxide-film process is re-carried out and oxide films 240, 241, and 242 are formed on the gates 521, 522, and 523, the resistance pattern 511, and 512. and the photoresist 96 of one layer — applying — some of centers of the DMOS field D, and bases 342 of the resistance patterns 511 and 512, the PMOS field P, and the bipolar field B — leaving a photoresist 96 only upwards, the remainder removes. The photoresist pattern 96 is used as a mask, N type ion is poured in and (refer to drawing 11) diffused by $10^{15} - 2 \times 10^{16}$ dose/cm² concentration, and the emitter 355 and collector 356 of the source 353 of the source 351 of the DMOS field D and a drain 352, and the NMOS field N and a drain 354, and the bipolar field B are formed.

[0032] After removing a photoresist 96, applying a photoresist 97 further and removing the photoresist 97 on the center of the DMOS field D, and the base 342 of the PMOS field P and the bipolar field B, P type ion is poured into about two $10^{15} - 2 \times 10^{16}$ dose/cm (refer to drawing 12), is diffused, and the subcontractor baton 361 of the DMOS field D, the source 362 of the PMOS field P, and the base 364 of a drain 363 and the bipolar field B are formed. One of the resistance patterns 511 and 512 is doped with P type to coincidence.

[0033] Finally, the low-temperature-oxidation film is vapor-deposited by the thickness of about 2000-10000Å, a protective coat 700 is formed, and a contact hole is formed through photo etching. Next, vapor-deposit and carry out patterning of the metal, and the gate electrode 811, the drain electrode 812, and the source electrode 813 are formed in the gate 521 of the DMOS field D, a drain 352, and the subcontractor baton 361 upper part, respectively. The gate electrodes 821 and 831, the source electrodes 822 and 832, and the drain electrodes 823 and 833 are formed in the upper part of the gates 522 and 523 of the CMOS field C, the sources 353 and 362, and drains 354 and 363, respectively. The emitter electrode 841, a collector electrode 843, and a base electrode 842 are formed in the emitter 355 of the bipolar field B, a collector 356, and the base 364 upper part, respectively (refer to drawing 13).

[0034] As shown in drawing 13, as for the semiconductor device formed by the approach of starting, the DMOS transistor, the CMOS transistor, and the bipolar transistor are formed on the P type substrate 10 at coincidence. Each transistor is separated by the thick oxide film 230 currently formed on it using the component detached core 321 and local oxidation style which are formed in the bottom layer 31 upper part. And on the thick oxide film 230 on each component detached core 321, the resistance 511 and 512 which consists of polish recon is formed, and a proper quantity of ion is doped

according to the resistance which it is going to acquire.

[0035] Next, the structure of each transistor is explained to a detail.

[0036] First, a DMOS transistor is explained.

[0037] The N type epitaxial layer 300 is formed on the P type substrate 10, and N+ flasing layer 21 is formed between the substrate 10 and the epitaxial layer 300. The P type well 341 is formed in the epitaxial layer 300 interior. The N type source field 351 is annularly formed in the interior of the P type well 341, the P type subcontractor baton 361 doped by high concentration from the P type well 341 is formed in the core of the P type well 341, and it is enclosed by the source field 351. Moreover, N+ sink field 310 is formed in the epitaxial layer 300 interior with the gestalt which encloses the P type well 341, and is connected with the lower flasing layer 21. In the sink field 310, the drain 352 doped with N type ion is formed, and the thick oxide film 232 is formed between the sink field 310 and the P type well 341. Gate oxide 220 is formed in epitaxial layer 300 front face. The polish recon gate 811 is formed on the gate oxide 220 between the source field 351 and the drain field 352, and the gate electrode 811 is covered with the oxide film 240. The protective coat 700 is covered all over the component. The gate electrode 811 is connected with the gate 521 through the contact hole currently formed in the protective coat 700 and the oxide film 240, and the source electrode 813 and the drain electrode 812 are connected with the subcontractor baton 361 and the drain 352 through the contact hole currently formed in the protective coat 700 and the oxide film 220, respectively.

[0038] A CMOS transistor consists of NMOS and the PMOS transistor which are separated with the thick oxide film 231.

[0039] First, the structure of an NMOS transistor is explained.

[0040] The N type epitaxial layer 300 is formed on the P type substrate 10, and P+ type bottom field 32 is formed between the substrate 10 and the epitaxial layer 300. In the epitaxial layer 300, the P type well 322 is formed by the part which reaches the upper part of the bottom field 32, and the N type source 353 and a drain 354 are formed in the P type well 322 interior. Gate oxide 221 is formed on the epitaxial layer 300 between the source 353 and a drain 354, the gate 522 is formed on gate oxide 221, the oxide film 240 is further formed on it, and the protective coat 700 has covered a it top. The contact hole is formed in the source 353, a drain 354, and the gate 522 upper part, and it connects with metal electrodes 822, 823, and 821, respectively.

[0041] Next, a PMOS transistor is explained.

[0042] The N type epitaxial layer 300 is formed on the P type substrate 10, and N+ flasing layer 22 is formed between the substrate 10 and the epitaxial layer 300. The N type well 330 is formed in the epitaxial layer 300 of the N+ flasing layer 22 upper part, and the P type source 362 and a drain 363 are formed in the interior. Gate oxide 221 is formed on the epitaxial layer 300 between the source 362 and a drain 363, the gate 523 is formed on gate oxide 221, the oxide film 240 is further formed on it, and the protective coat 700 has covered a it top. The contact hole is formed in the source 362 and drain 363, and gate 523 upper part, and it connects with metal electrodes 832, 833, and 831, respectively.

[0043] Since it is thick compared with the oxide film 221 of a CMOS transistor, the gate oxide 220 of a DMOS transistor improves the proof-pressure property of DMOS which is a high proof-pressure component.

[0044] Finally, an NPN bipolar transistor is explained.

[0045] The N type epitaxial layer 300 is formed on the P type substrate 10, and N+ flasing layer 23 is formed between the substrate 10 and the epitaxial layer 300. The P type base 342 is formed in the epitaxial layer 300 interior, and the N type emitter 355 and P+ mold base 364 are formed in the base 342. Moreover, the N type collector 356 is formed in the epitaxial layer 300 interior, and a collector 356 and the P type base 342 are separated by the thick oxide film 233 currently formed in epitaxial layer 300 front face between two. The oxide film 220 is formed in epitaxial layer 300 front face between the thick oxide films 230, 232, and 233, and the protective coat 700 has covered the oxide film 220. The contact hole is formed in the protective coat 700 and oxide film 220 of an emitter 355, P+ mold base 364, and

this invention in order.

[Drawing 8] It is the sectional view showing the manufacture approach of the semiconductor device by this invention in order.

[Drawing 9] It is the sectional view showing the manufacture approach of the semiconductor device by this invention in order.

[Drawing 10] It is the sectional view showing the manufacture approach of the semiconductor device by this invention in order.

[Drawing 11] It is the sectional view showing the manufacture approach of the semiconductor device by this invention in order.

[Drawing 12] It is the sectional view showing the manufacture approach of the semiconductor device by this invention in order.

[Drawing 13] It is the sectional view showing the manufacture approach of the semiconductor device by this invention in order.

[Drawing 14] It is the sectional view of the semiconductor device according to a Prior art.

[Description of Notations]

10 Substrate

31, a 32 P+ bottom field

200 Thin Oxide Film

230, 231, 232, and 233 Thick oxide film

300 N Type Epitaxial Layer

310 Sink Field

321 Component Detached Core

400 Nitride

500 Polish Recon

600 Low-Temperature-Oxidation Film

700 Protective Coat

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-214907

(43)公開日 平成10年(1998) 8月11日

(51)Int.Cl.⁶

H 0 1 L 21/8249
27/06

識別記号

F I

H 0 1 L 27/06

3 2 1 E

審査請求 未請求 請求項の数11 O L (全 10 頁)

(21)出願番号 特願平10-11471

(22)出願日 平成10年(1998) 1月23日

(31)優先権主張番号 1 9 9 7 - 1 9 3 7

(32)優先日 1997年1月23日

(33)優先権主張国 韓国 (K R)

(71)出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72)発明者 李 淳 學

大韓民国京畿道富川市吾丁区遠宗洞150番
地ハイツヴィラ2-101

(72)発明者 全 昌 基

大韓民国京畿道富川市遠美区中3洞ケウン
カンマエウル405-605

(72)発明者 金 チョル 重

大韓民国京畿道富川市遠美区中1洞ミリナ
エマエウル942-704

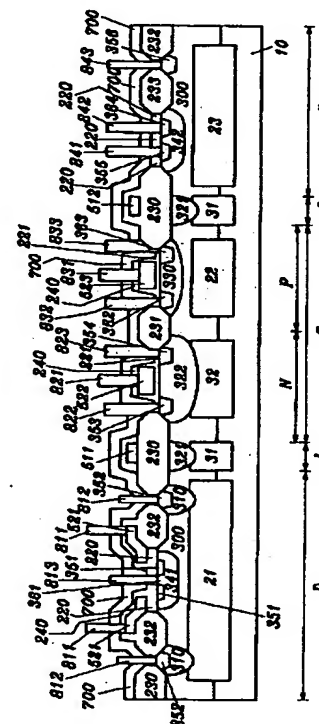
(74)代理人 弁理士 三好 秀和 (外1名)

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】高耐圧用トランジスタと低電圧トランジスタが集積化されている半導体装置の駆動信頼性を高める半導体装置およびその製造方法を提供する。

【解決手段】本発明は半導体装置およびその製造方法に係り、一つの基板にDMOS、CMOS、バイポーラトランジスタすべてを有している本発明に従う半導体装置においては各トランジスタを素子分離層とその上に形成されている部分酸化膜とで分離し、DMOS領域の絶縁膜の厚さとCMOS領域の絶縁膜の厚さを異なるように形成し、部分酸化膜上にポリシリコン抵抗素子を形成する。



(2)

【特許請求の範囲】

【請求項1】基板にDMOS素子およびCMOS素子を分離する分離層を形成する段階、
前記基板上に第1酸化膜を形成する段階、
前記分離層上に第2酸化膜を形成する段階、
ポリシリコン層を蒸着する段階、
前記第1酸化膜と前記第2酸化膜上にそれぞれ前記DMOS素子およびCMOS素子のゲートパターンと抵抗パターンを形成するために前記ポリシリコン層をパタニングする段階、
前記ゲートパターンをドーピングする段階を含む半導体装置の製造方法。

【請求項2】前記分離層を形成する段階は、さらにバイポーラ素子を分離する分離層を形成する段階を含む請求項1に記載の半導体装置の製造方法。

【請求項3】前記CMOS素子上部に形成されている前記第1酸化膜の第1部分の厚さが前記DMOS素子上部に形成されている前記第1酸化膜の第2部分の厚さと異なるように形成される請求項1に記載の半導体装置の製造方法。

【請求項4】前記CMOS素子上部の表面の第1酸化膜の一部を除去する段階と、除去した部分に酸化膜を形成する段階をさらに含む請求項3に記載の半導体装置の製造方法。

【請求項5】前記ドーピングする段階は、
第3酸化膜を蒸着する段階、
前記ゲートパターン上部の前記第3酸化膜の一部を除去する段階、
前記第3酸化膜をマスクにして前記ゲートパターンをドーピングする段階、
前記第3酸化膜を除去する段階を含む請求項1に記載の半導体装置の製造方法。

【請求項6】前記ゲートパターンは酸化塩化リン（ POCl_3 ）を用いてドーピングする請求項5に記載の半導体装置の製造方法。

【請求項7】前記ポリシリコン層を2000～6000Åの厚さで形成する請求項1に記載の半導体装置の製造方法。

【請求項8】基板内に形成され、DMOS素子、CMOS素子を分離する分離層、
前記分離層上に形成された第1酸化膜、
前記第1酸化膜上に形成されたポリシリコン抵抗素子を含む半導体装置。

【請求項9】前記半導体装置はさらにバイポーラ素子を含み、バイポーラ素子は分離層を介してDMOS素子およびCMOS素子から分離されている請求項8に記載の半導体装置。

【請求項10】前記DMOS素子と前記CMOS素子はそれぞれ第1および第2ゲート酸化膜を有しており、前記DMOS素子の第1ゲート酸化膜は前記CMOS素子

2

の第2ゲート酸化膜より厚く形成される請求項8に記載の半導体装置。

【請求項11】前記抵抗素子はドーピングされない請求項8に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置およびその製造方法に係り、DMOS（Double diffusedMOS）トランジスタ、CMOSトランジスタおよびバイポーラトランジスタを1基板に集積した半導体装置およびその製造方法に関する。

【0002】

【従来の技術】現代の技術は単一の基板内に各種の素子を同時に形成することにより、比較的低廉で信頼度が高い小型の集積素子を得ることに主力を注いでいる。航空機や宇宙航行体等のような重さおよび空間が極度に制限された場合において多くの回路の機能を小さい空間に密集させることが必要であり、情報の蓄積および高速処理において応答時間と回路との間の信号伝達時間を減少させるのに集積素子は大きい利点を有する。最近では集積回路の応用が家電製品の領域にまで及んでいる。

【0003】図14は従来技術による半導体装置を示す断面図である。

【0004】図14に示すように、従来の技術に従う半導体装置はP⁻型基板100上に形成されている多数のドーピングされた領域とその上に形成された絶縁層および配線からなっている。そして、半導体装置は三つのトランジスタ領域、すなわちバイポーラ領域、DMOS領域およびCMOS領域に分けられている。

【0005】各トランジスタ領域は共通してP⁻型基板100とその上に形成されている20μm厚さのN型エピタキシャル層120を有しており、各トランジスタ領域はエピタキシャル層120の表面からP⁻型基板100まで延長されているP⁺素子分離領域170により分離されている。

【0006】エピタキシャル層120の表面は多数の接点孔を有している酸化膜150で覆われている。

【0007】バイポーラトランジスタ領域においては基板100とエピタキシャル層120との間にN⁺埋没層110が形成されており、N⁺シンク領域140がエピタキシャル層120の表面から埋没層110に至る部分にまで垂直に形成されている。シンク領域140の内側に位置するエピタキシャル層120内にはP⁻型ベース122が形成されており、P⁻型ベース122内にはN⁺エミッタ領域128とP⁺型ベース領域127が形成されている。上部には酸化膜150が形成されており、エミッタ領域128とベース領域127上部の酸化膜150は除去され金属層が形成されていてエミッタ電極Eとベース電極Bをなす。

【0008】DMOS素子領域においては基板100上

(3)

3

部にN⁺埋没層110が形成されており、埋没層110上部にN型エピタキシャル層120が形成されており、N型エピタキシャル層120内にP型ウェル123が形成されており、その内部にはN型ソース領域124が形成されている。N⁺シンク領域140がエピタキシャル層120表面からN⁺埋没層110に至る部分にまで垂直に形成されており、N⁺シンク領域140上部にはドレイン電極Dが形成されている。ソース領域124上部にはソース電極Sが形成されており、ソース電極Sの間
10のエピタキシャル層120表面にはゲート酸化膜161が形成されており、その上にゲート電極Gが形成されている。

【0009】CMOS領域はNMOS領域とPMOS領域とに分けられており、二つの領域にはNチャンネルMOSトランジスタとPチャンネルMOSトランジスタがそれぞれ形成されている。NMOS領域のエピタキシャル層120内部にはP型ウェル121が形成されており、P型ウェル121内部にはN型ソース125とドレイン126が形成されている。PMOS領域にはエピタキシャル層120内にP型ソース129とドレイン130が形成されている。ソース電極Sとドレイン電極Dがソース125、129とドレイン126、130上部に形成されている。ゲート酸化膜162がNMOS領域のソース125とドレイン126との間のP型ウェル表面とPMOS領域のソース129とドレイン130との間のエピタキシャル層120表面に形成されており、ゲート電極Gがその上に形成されている。CMOS領域のゲート酸化膜162はDMOS領域のゲート酸化膜161と同一の工程で形成されるので、二つの領域の酸化膜の厚さは同一である。

【0010】図14に示す従来の半導体装置においては抵抗素子を別途に形成しなければならないので、工程が複雑になる。また、各トランジスタにおける酸化膜の厚さが同一であるため、異なる耐圧を有するトランジスタの駆動において信頼性を確保するのが困難である。

【0011】

【発明の目的】本発明は前記従来の問題点を解決するためのものであって、その目的は、高耐圧用トランジスタと低電圧トランジスタが集積化されている半導体装置の駆動信頼性を高める半導体装置およびその製造方法を提供することにある。

【0012】さらに、本発明の目的は、半導体装置と抵抗素子を一緒に形成することにより半導体製造工程を単純化することにある。

【0013】

【課題を解決するための手段】前記目的を達成するため、本発明においてはゲート絶縁膜の厚さを2元化し、各トランジスタを分離する部分酸化膜の上部にポリシリコン抵抗素子を形成する。

【0014】一つの基板にDMOS、CMOSトランジ

4

スタを有している本発明による半導体装置においては各トランジスタを素子分離層とその上に形成されている部分酸化膜とで分離し、DMOS領域の絶縁膜の厚さとCMOS領域の絶縁膜の厚さを異なるように形成し、部分酸化膜上にポリシリコン抵抗素子を形成する。

【0015】前記半導体装置を製造するためには異なる厚さを有する絶縁膜を形成する。そして、絶縁膜と部分酸化膜上に1層のポリシリコン層をパターンニングし選択的にドーピングすることにより、高濃度でドーピングされた部分をゲート電極に用い、ドーピングされていないか低濃度でドーピングされた部分を抵抗に用いることができるように形成する。

【0016】

【発明の実施の形態】以下、本発明の好ましい実施例を添付図面に基づいて詳細に説明する。

【0017】図1ないし図13を参照して本発明の実施例に従う半導体装置の製造方法について説明する。

【0018】図1に示すように、P型基板10はDMOS、CMOS、バイポーラトランジスタ領域D、C、Bに分けられ、各トランジスタ領域を分離する素子分離領域Iが各トランジスタ領域の間にある。そして、CMOS領域はさらにPMOSトランジスタ領域PとNMOSトランジスタ領域Nとに分けられる。

【0019】まず、基板10上に薄い酸化膜200を形成し、酸化膜200上に1層のフォトリソグレイ90を塗布しDMOS領域D、PMOS領域P、バイポーラ領域B上部のフォトリソグレイを除去した後、N型イオンを10¹⁵dose/cm²濃度で注入する(図1参照)。その後、フォトリソグレイ90を除去し拡散してN⁺埋没層21、22、23を形成する。

【0020】さらに、フォトリソグレイ91を塗布し素子分離領域IとNMOS領域Nのフォトリソグレイを除去し、P型イオンを10¹⁴dose/cm²以上に注入した後(図2参照)、フォトリソグレイ91を除去し拡散してP⁺底領域31、32を形成する。

【0021】次に、薄い酸化膜200を除去し、N型エピタキシャル層300を厚さ6~14μm、比抵抗1.3~2.0Ω-cm程度に形成する。エピタキシャル層300上に50~1000Å程度の酸化膜210を成長させ500~3000Åの窒化膜400をその上に蒸着する。窒化膜400上に1層のフォトリソグレイ92を塗布した後、DMOS領域Dのエッジのフォトリソグレイ92と窒化膜400および酸化膜210をフォトリソグレイ92で除去してエピタキシャル層300を露出させる。そして、酸化塩化リン(POCl₃)をエピタキシャル層300内部に沈積させてN⁺型シンク領域310をDMOS領域Dを取り囲むように形成する(図3参照)。

【0022】次に、フォトリソグレイパターン92、窒化膜400、酸化膜210を除去し再び酸化膜220を形成する。

(4)

5

【0023】酸化膜220上にフォトレジスト93を塗布しNMOS領域Nと素子分離領域Iのフォトレジストを除去しP型イオンを $10^{12} \sim 10^{13}$ dose/cm²濃度で注入した後(図4参照)、フォトレジスト93を除去する。

【0024】フォトレジスト94をさらに塗布した後、PMOS領域Pのフォトレジストを除去し、N型イオンを $10^{12} \sim 3 \times 10^{13}$ dose/cm²程度に注入する(図5参照)。

【0025】次に、フォトレジスト94を除去し、P型イオンとN型イオンを同時に拡散させると、CMOS領域CのPウェル322、Nウェル330および素子分離層321が形成される。この段階において形成された素子分離層321によりDMOS領域DとCMOS領域Cとバイポーラトランジスタ領域Bとがそれぞれ区分される。

【0026】その後、酸化膜220上に窒化膜(図示省略)を蒸着し、DMOS領域Dのアクティブ領域Aとシンク領域310の上部、CMOS領域Cのウェル322、330上部、およびバイポーラ領域Bのアクティブ領域上部の酸化膜220をフォトリソングを通じて残し、選択酸化工程(LOCOS; localized oxidation of silicon)を通じて厚い酸化膜230、232、231、233を成長させる。この厚い酸化膜230、232、231、233はそれぞれ素子の境界部になる素子分離層321の上部、DMOS領域のアクティブ領域とシンク領域310との間のエピタキシャル層300、CMOS領域CのNMOS(N)とPMOS(P)との境界部のエピタキシャル層300、バイポーラ領域Bにおける中間のエピタキシャル層300に形成される。その後、窒化膜を除去する(図6参照)。このとき、DMOS領域の厚い酸化膜232は高耐圧の特性のために形成したものであり、CMOS領域CのNMOS領域とPMOS領域との間に形成されている厚い酸化膜231と各トランジスタ領域の間の厚い酸化膜230は各素子の特性が区分付けられるようにするために形成したものである。

【0027】その後、DMOS領域Dとバイポーラ領域B上のフォトレジスト(図示省略)を残し、残りの部分の酸化膜220を除去した後、フォトレジストを除去し再び酸化膜を成長させると、DMOS領域D表面の酸化膜220の厚さが新たに形成されたCMOS領域Cの酸化膜221の厚さより厚くなる(図7参照)。酸化膜の厚さが厚いほど耐圧特性が向上されるが、このような段階を経て酸化膜の厚さを2元化することにより、高耐圧用素子と低耐圧用素子とを同時に駆動することができる。ここで、バイポーラ領域B上部の酸化膜220の厚さは素子の特性と関係がないので、DMOS領域Dの酸化膜220と同一の工程で形成することができ、CMOS領域のように新たに酸化膜を形成することができる。

6

【0028】図8に示すように、酸化膜220、221上にポリシリコン500を2000~6000Å厚さで蒸着し、その上にフォトレジスト95を形成した後、フォトリソングでパターンを形成する。このパターン95をマスクにしてポリシリコン500をエッチングしてDMOS領域Dの一部の酸化膜220とバイポーラ領域Bの厚い酸化膜230、233の間を露出させ、素子分離層321上の厚い酸化膜230上に抵抗素子511、512を形成する。フォトレジストパターン95をマスクにしてDMOS領域とバイポーラ領域のエピタキシャル層300にP型イオンを $10^{13} \sim 9 \times 10^{13}$ dose/cm²濃度で注入し(図8参照)、フォトレジスト95を除去する。

【0029】かかる過程以後、化学気相蒸着法で低温酸化膜(LTO film; low temperature oxide film)600を蒸着し、イオン拡散を通じてDMOS領域Dの厚い酸化膜232で取り囲んだウェル341とバイポーラ領域Bのベース342を形成する。そして、DMOS領域Dのウェル341とバイポーラ領域Bのベース342を形成する。そして、DMOS領域Dのウェル341とバイポーラ領域Bのベース342上部と抵抗パターン511、512上部の低温酸化膜600のみを残し、低温酸化膜600を除去する。露出されたポリシリコン層500には酸化塩化リン(POCl₃)を沈積させてN型で高濃度ドーピングする。このとき、抵抗パターン511、512の上部は低温酸化膜600で覆われているため、ドーピングされない。すなわち、抵抗パターン511、512はドーピングされたポリシリコン層500に比べ低い電荷移動度を有するようになり抵抗値が大きくなる(図9参照)。

【0030】次に、残っている低温酸化膜600を除去し、ドーピングされたポリシリコン500をゲート521、522、523になる部分、すなわちDMOS領域Dの厚い酸化膜232からPウェル341のエッジに至る部分とCMOS領域Cの各ウェル322、330の中央にのみ残す(図10参照)。

【0031】酸化膜工程を再実施してゲート521、522、523と抵抗パターン511、512上に酸化膜240、241、242を形成する。そして、1層のフォトレジスト96を塗布してDMOS領域Dの中央と抵抗パターン511、512、PMOS領域P、バイポーラ領域Bのベース342の一部上のみフォトレジスト96を残し、残りは除去する。フォトレジストパターン96をマスクにしてN型イオンを $10^{15} \sim 2 \times 10^{16}$ dose/cm²濃度で注入し(図11参照)、拡散してDMOS領域Dのソース351およびドレイン352、NMOS領域Nのソース353およびドレイン354、バイポーラ領域Bのエミッタ355およびコレクタ356を形成する。

【0032】フォトレジスト96を除去し、さらにフォ

(5)

7

トレジスト97を塗布しDMOS領域Dの中央とPMOS領域P、バイポーラ領域Bのベース342上のフォトトレジスト97を除去した後、P型イオンを $10^{15} \sim 2 \times 10^{16} \text{dose/cm}^2$ 程度に注入し(図12参照)、拡散してDMOS領域Dのサブコンタクト361とPMOS領域Pのソース362およびドレイン363とバイポーラ領域Bのベース364を形成する。同時に抵抗パターン511、512のうち、一つはP型でドーピングする。

【0033】最後に、低温酸化膜を2000~10000Å程度の厚さで蒸着して保護膜700を形成し、フォトエッチングを通じてコンタクトホールを形成する。次に、金属を蒸着しパターニングし、DMOS領域Dのゲート521、ドレイン352およびサブコンタクト361上部にそれぞれゲート電極811、ドレイン電極812およびソース電極813を形成し、CMOS領域Cのゲート522、523、ソース353、362およびドレイン354、363の上部にそれぞれゲート電極821、831、ソース電極822、832およびドレイン電極823、833を形成し、バイポーラ領域Bのエミッタ355、コレクタ356およびベース364上部にそれぞれエミッタ電極841、コレクタ電極843およびベース電極842を形成する(図13参照)。

【0034】図13に示すように、かかる方法で形成した半導体装置はP型基板10上にDMOSトランジスタ、CMOSトランジスタおよびバイポーラトランジスタが同時に形成されている。各トランジスタは底層31上部に形成されている素子分離層321と局部酸化法を用いてその上に形成されている厚い酸化膜230により分離されている。そして、各素子分離層321上の厚い酸化膜230上にはポリシリコンからなる抵抗511、512が形成されており、得ようとする抵抗値に従い適正量のイオンがドーピングされている。

【0035】次に、それぞれのトランジスタの構造について詳細に説明する。

【0036】まず、DMOSトランジスタについて説明する。

【0037】P型基板10上にN型エピタキシャル層300が形成されており、基板10とエピタキシャル層300との間にN⁺埋没層21が形成されている。エピタキシャル層300内部にはP型ウェル341が形成されている。P型ウェル341の内部にはN型ソース領域351が環状に形成されており、P型ウェル341の中心にはP型ウェル341より高濃度でドーピングされたP型サブコンタクト361が形成されており、ソース領域351に取り囲まれている。また、N⁺シンク領域310がP型ウェル341を取り囲む形態でエピタキシャル層300内部に形成されており、下部の埋没層21と連結されている。シンク領域310内にはN型イオンでドーピングされたドレイン352が形成されており、シンク領域310とP型ウェル341の間には厚い酸化膜

8

232が形成されている。エピタキシャル層300表面にはゲート酸化膜220が形成されている。ポリシリコンゲート811がソース領域351とドレイン領域352との間のゲート酸化膜220上に形成されており、ゲート電極811は酸化膜240で覆われている。素子の全面には保護膜700が覆われている。ゲート電極811は保護膜700と酸化膜240に形成されているコンタクトホールを通じてゲート521と連結されており、ソース電極813とドレイン電極812はそれぞれ保護膜700と酸化膜220に形成されているコンタクトホールを通じてサブコンタクト361およびドレイン352と連結されている。

【0038】CMOSトランジスタは厚い酸化膜231により分離されているNMOSとPMOSTランジスタからなる。

【0039】まず、NMOSTランジスタの構造について説明する。

【0040】P型基板10上にN型エピタキシャル層300が形成されており、基板10とエピタキシャル層300との間にP⁺型底領域32が形成されている。エピタキシャル層300内にはP型ウェル322が底領域32の上部に至る部分までに形成されており、P型ウェル322内部にはN型ソース353およびドレイン354が形成されている。ゲート酸化膜221がソース353とドレイン354との間のエピタキシャル層300上に形成されており、ゲート酸化膜221上にゲート522が形成されており、その上にさらに酸化膜240が形成されており、保護膜700がその上を覆っている。ソース353、ドレイン354およびゲート522上部にはコンタクトホールが形成されていてそれぞれ金属電極822、823、821と連結される。

【0041】次に、PMOSTランジスタについて説明する。

【0042】P型基板10上にN型エピタキシャル層300が形成されており、基板10とエピタキシャル層300との間にN⁺埋没層22が形成されている。N⁺埋没層22上部のエピタキシャル層300内にはN型ウェル330が形成されており、その内部にはP型ソース362およびドレイン363が形成されている。ゲート酸化膜221がソース362とドレイン363との間のエピタキシャル層300上に形成されており、ゲート酸化膜221上にはゲート523が形成されており、その上にさらに酸化膜240が形成されており保護膜700がその上を覆っている。ソース362およびドレイン363とゲート523上部にはコンタクトホールが形成されていてそれぞれ金属電極832、833、831と連結される。

【0043】DMOSTランジスタのゲート酸化膜220がCMOSTランジスタの酸化膜221に比べ厚いため、高耐圧素子であるDMOSの耐圧特性を良くする。

(6)

9

【0044】最後に、NPNバイポーラトランジスタについて説明する。

【0045】P型基板10上にN型エピタキシャル層300が形成されており、基板10とエピタキシャル層300との間にはN⁺埋没層23が形成されている。エピタキシャル層300内部にはP型ベース342が形成されており、ベース342内にはN型エミッタ355およびP⁺型ベース364が形成されている。また、N型コレクタ356がエピタキシャル層300内部に形成されており、コレクタ356とP型ベース342は二つの間のエピタキシャル層300表面に形成されている厚い酸化膜233により分離されている。厚い酸化膜230、232、233の間のエピタキシャル層300表面には酸化膜220が形成されており、保護膜700が酸化膜220を覆っている。エミッタ355とP⁺型ベース364とコレクタ356の上部の保護膜700と酸化膜220にはコンタクトホールが形成されていてそれぞれ金属電極841、842、843と連結されている。

【0046】

【発明の効果】以上のように、本発明に従う半導体装置においてはDMOS、CMOS、バイポーラトランジスタなどの半導体素子が1基板上に集積されており、特に抵抗素子が半導体装置の外部に別途に形成されず、各トランジスタを分離する素子分離層の上部に形成されている。また、その製造方法において1層のポリシリコン層を形成しパターニングした後、選択的にドーピングして高濃度でドーピングされたゲートパターンと低濃度でドーピングされるかあるいはドーピングされない抵抗パターンを同時に形成し、ポリシリコンパターンをマスクにしてDMOS領域DのPウェルとバイポーラ領域BのPベースを形成する。また、CMOSTランジスタ上部の酸化膜とDMOSTランジスタ上部の酸化膜の厚さを異なるようににして形成する。

【0047】従って、工程が簡単になり、低電圧用CMOSおよびバイポーラトランジスタと高耐圧用DMOSを1チップ上に同時に具現することができる。

【0048】尚、本実施例においてはDMOS、CMOS、およびバイポーラトランジスタを1基板上に集積した半導体装置とその製造方法について説明したが、本発明は、DMOSとCMOSTランジスタを1基板上に集積した半導体装置についても実施することができる。

10

【図面の簡単な説明】

【図1】本発明による半導体装置の製造方法を順に示す断面図である。

【図2】本発明による半導体装置の製造方法を順に示す断面図である。

【図3】本発明による半導体装置の製造方法を順に示す断面図である。

【図4】本発明による半導体装置の製造方法を順に示す断面図である。

【図5】本発明による半導体装置の製造方法を順に示す断面図である。

【図6】本発明による半導体装置の製造方法を順に示す断面図である。

【図7】本発明による半導体装置の製造方法を順に示す断面図である。

【図8】本発明による半導体装置の製造方法を順に示す断面図である。

【図9】本発明による半導体装置の製造方法を順に示す断面図である。

【図10】本発明による半導体装置の製造方法を順に示す断面図である。

【図11】本発明による半導体装置の製造方法を順に示す断面図である。

【図12】本発明による半導体装置の製造方法を順に示す断面図である。

【図13】本発明による半導体装置の製造方法を順に示す断面図である。

【図14】従来の技術に従う半導体装置の断面図である。

【符号の説明】

10 基板

31、32 P⁺底領域

200 薄い酸化膜

230、231、232、233 厚い酸化膜

300 N型エピタキシャル層

310 シンク領域

321 素子分離層

400 窒化膜

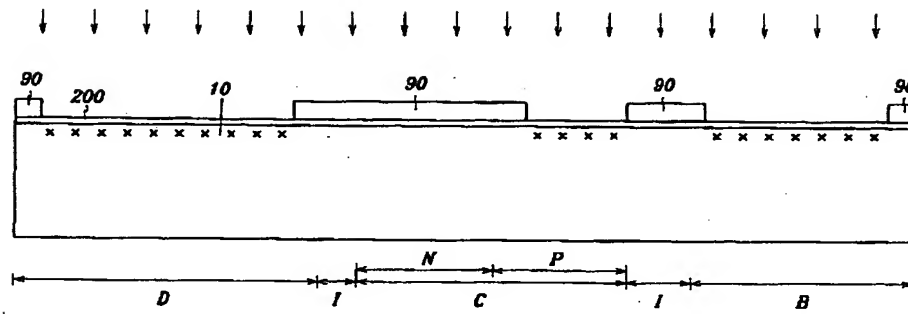
500 ポリシリコン

600 低温酸化膜

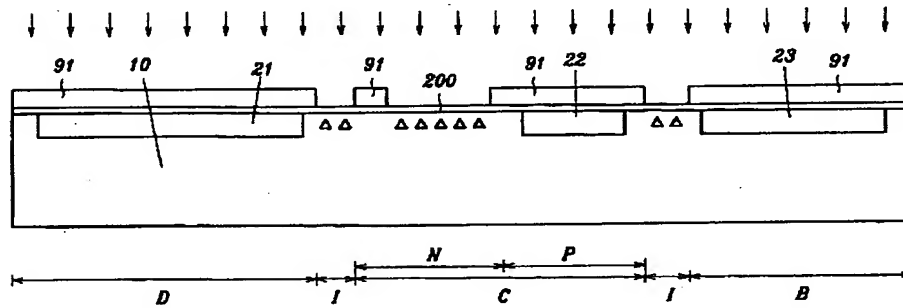
700 保護膜

(7)

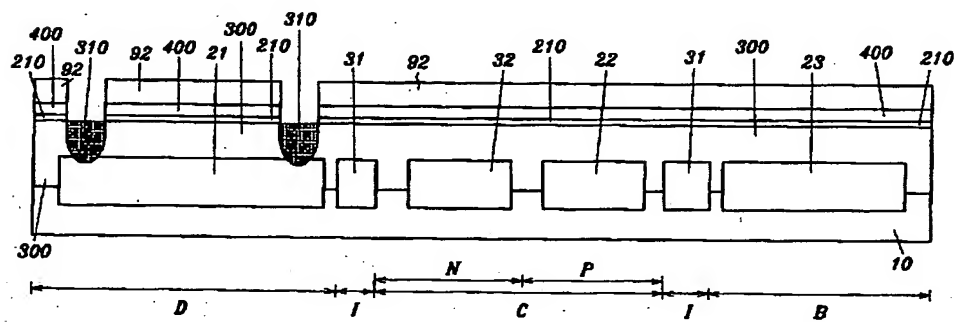
【図1】



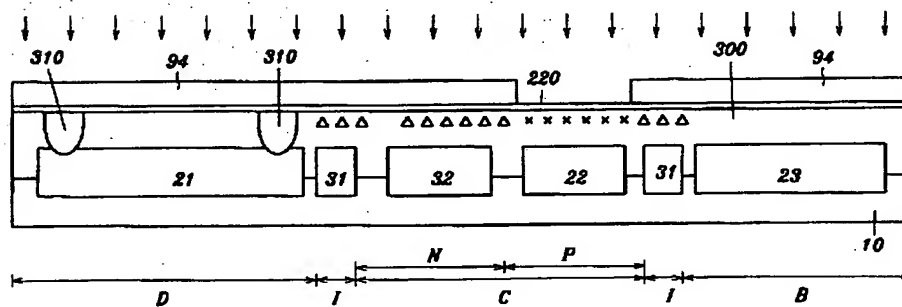
【図2】



【図3】

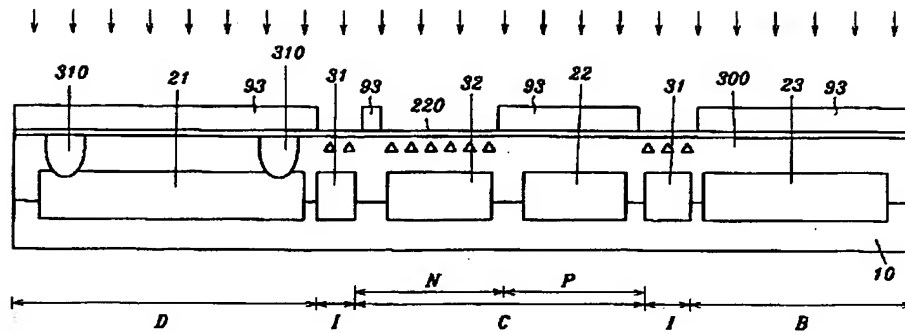


【図5】

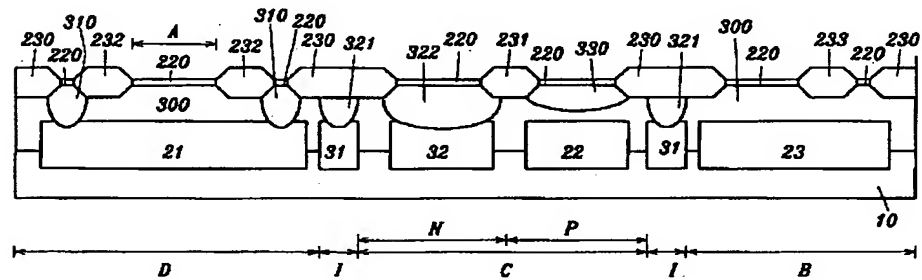


(8)

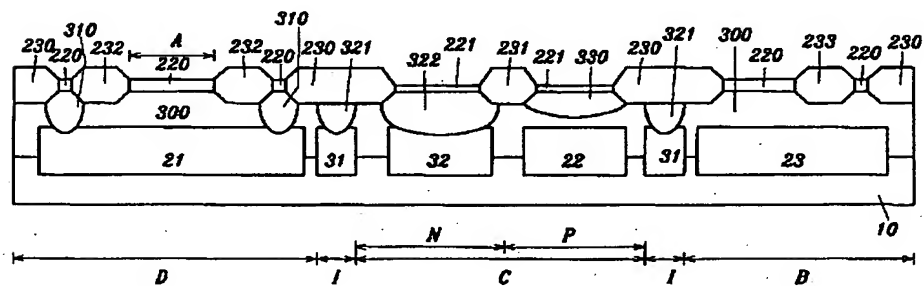
【図4】



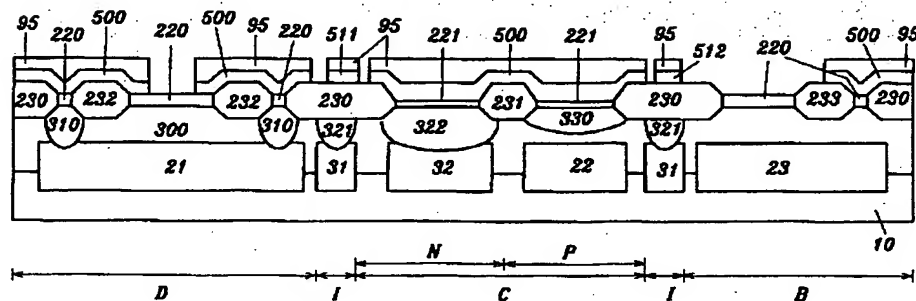
【図6】



【図7】

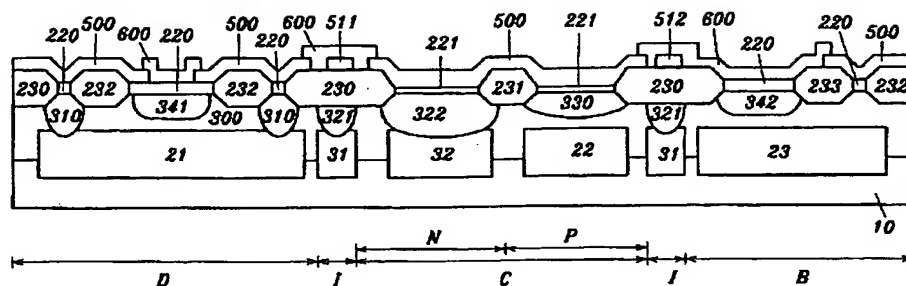


【図8】

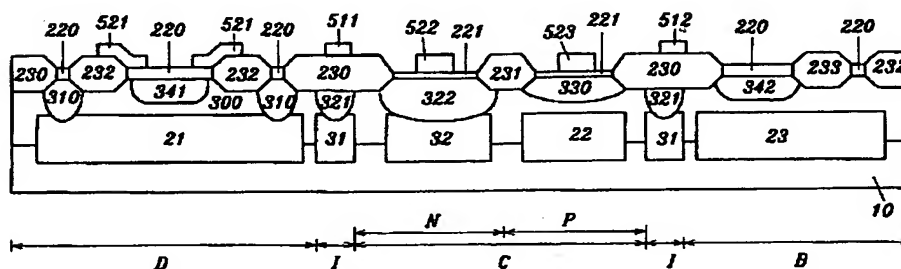


(9)

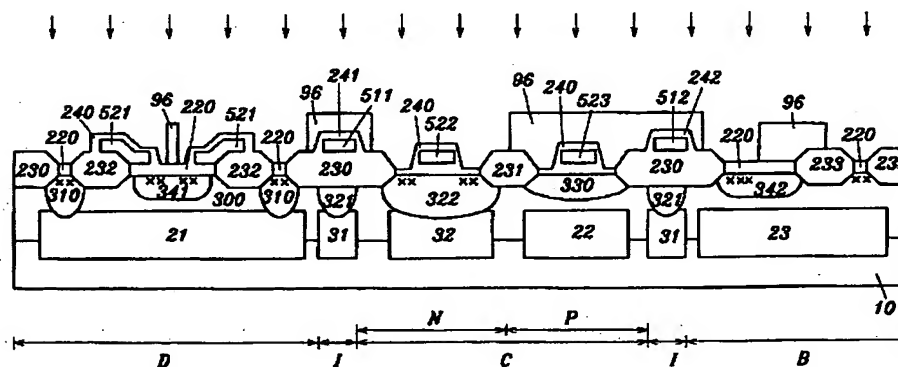
【図9】



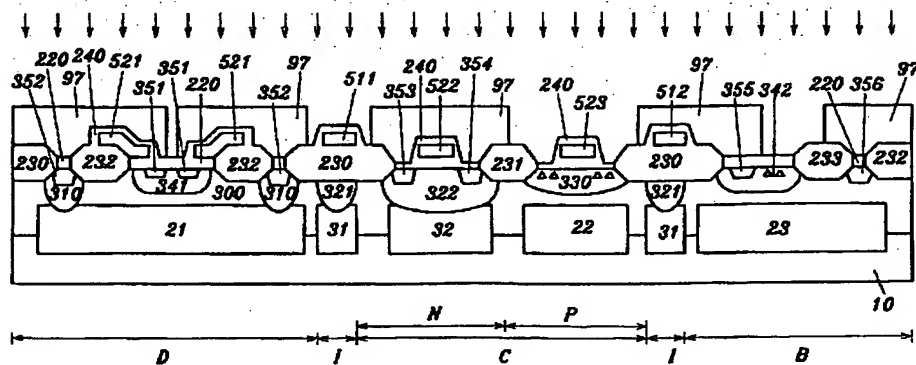
【図10】



【図11】

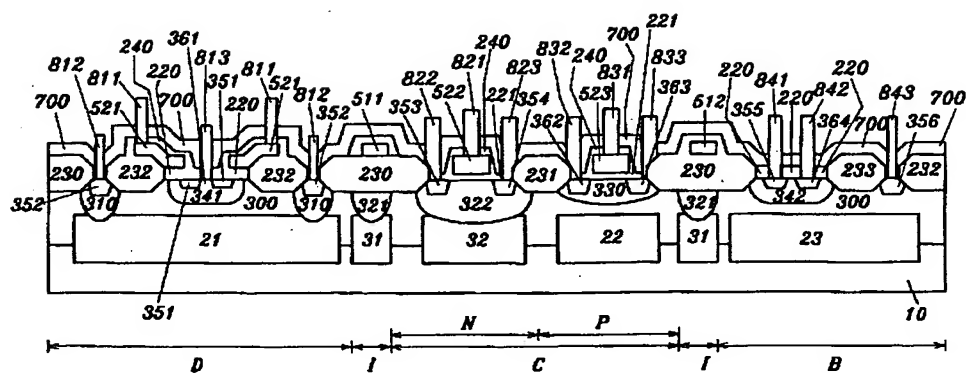


【図12】



(10)

【図13】



【図14】

